



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0017238  
Application Number

출원년월일 : 2003년 03월 19일  
Date of Application MAR 19, 2003

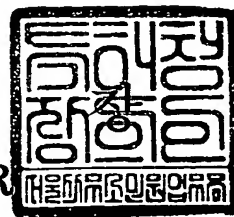
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 12 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.03.19
【발명의 명칭】	대기 전류 불량 판별 기능을 갖는 반도체 메모리 장치
【발명의 영문명칭】	SEMICONDUCTOR MEMORY DEVICE WITH FUNCTION OF JUDGING STANDBY CURRENT FAILURE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	서영호
【성명의 영문표기】	SUH, YOUNG-HO
【주민등록번호】	630528-1691818
【우편번호】	441-340
【주소】	경기도 수원시 권선구 구운동 890번지
【국적】	KR
【발명자】	
【성명의 국문표기】	손교민
【성명의 영문표기】	SOHN, KYO-MIN
【주민등록번호】	710620-1030511
【우편번호】	463-773

**【주소】** 경기도 성남시 분당구 서현동 시범단지 우성아파트 218동 1206호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 임창현 (인) 대리인  
 권혁수 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 35 면 35,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 50 항 1,709,000 원  
**【합계】** 1,773,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

여기에 개시되는 반도체 메모리 장치는 전원 전압을 공급받는 패드와; 상기 패드에 연결되는 제 1 전원 라인과; 행들과 열들로 배열되는 메모리 셀들의 어레이와; 그리고 각각이 리페어 단위의 메모리 셀들에 연결되는 복수의 제 2 전원 라인들을 포함한다. 선택 회로는 테스트 동작 모드시 열 어드레스에 응답하여 어레이의 메모리 셀들을 리페어 단위로 선택하기 위한 선택 신호들을 출력한다. 전원 스위치 회로는 선택 신호들에 응답하여 동작하며, 테스트 동작 모드시 리페어 단위로 선택된 메모리 셀들에 연결된 제 2 전원 라인을 제 1 전원 라인과 연결한다. 그리고, 전원 스위치 회로는 나머지 제 2 전원 라인들을 제 1 전원 라인과 절연시킨다.

**【대표도】**

도 2

## 【명세서】

## 【발명의 명칭】

대기 전류 불량 판별 기능을 갖는 반도체 메모리 장치{SEMICONDUCTOR MEMORY DEVICE WITH FUNCTION OF JUDGING STANDBY CURRENT FAILURE}

## 【도면의 간단한 설명】

도 1은 본 발명에 따른 반도체 메모리 장치를 개략적으로 보여주는 블록도;

도 2는 본 발명의 제 1 실시예에 따른 반도체 메모리 장치를 개략적으로 보여주는 블록도;

도 3은 도 1에 도시된 전원 스위치 (RPSW0) 및 그에 대응하는 리페어 단위의 메모리 셀들을 보여주는 블록도;

도 4는 본 발명의 바람직한 실시예에 따른 프리차지 신호 발생 회로를 보여주는 회로도;

도 5는 본 발명의 바람직한 실시예에 따른 도 2의 구동기 (DRV0)를 보여주는 회로도;

도 6은 도 2에 도시된 제 2 디코더를 보여주는 회로도;

도 7은 본 발명의 제 2 실시예에 따른 반도체 메모리 장치를 보여주는 블록도;

도 8은 도 7에 도시된 전원 스위치 (CPSW0) 및 그에 대응하는 리페어 단위의 메모리 셀들을 보여주는 블록도;

도 9는 본 발명의 바람직한 실시예에 따른 도 7의 디코더 (126'\_0)를 보여주는 회로도;

도 10은 도 7에 도시된 제 2 디코더를 보여주는 회로도;

도 11은 본 발명의 바람직한 실시예에 따른 프리차지 신호 발생 회로 (180')를 보여주는 회로도;

도 12는 도 2 및 도 7에 도시된 전원 스위치 (RPSW0/CPSW0)의 다른 실시예; 그리고

도 13은 본 발명의 다른 실시예에 따른 반도체 메모리 장치를 개략적으로 보여주는 블록도이다.

\* 도면의 주요 부분에 대한 부호 설명 \*

100, 200 : 반도체 메모리 장치

110 ; 셀 어레이 블록

120 : 주변 회로 블록

130 : 전원 분배 블록

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 반도체 장치에 관한 것이다. 좀 더 구체적으로, 본 발명은 반도체 메모리 장치에 관한 것이다.

<20> 반도체 메모리 장치의 고집적화 추세에 부응하여, 제한된 면적에 보다 많은 메모리 셀들을 집적하기 위한 방법들이 개발되어 오고 있다. 그러한 방법들 중 하나는 단위 메모리 셀을 축소하는 것이다. 단위 메모리 셀의 축소에 따라 칩내에서 결함 메모리 셀 (defective memory cell)이 발생될 확률은 높아지므로 정상 칩들 (good chips)에 대한 수율이 저하된다. 그러한 수율 저하를 방지하기 위하여, 통상적으로, 반도체 메모리 장치들은 결함이 생긴 메인 메모리 셀 (main memory cell)을 스페어 또는 리던던트 메모리 셀 (spare or redundant memory cell)로 대체하기 위한 잘 알려진 리던던시 기술을 채용하고 있다.

<21> 만약 메인 메모리 셀에 결함이 있는 것으로 판별되면, 결함이 있는 메인 메모리 셀을 포함하는 행 또는 열 (이하, 결함 행 또는 열로 칭함)은 리던던트 행 또는 열로 대체된다. 이는 리던던시 회로 내의 프로그램 퓨즈들을 절단하는 것에 의해 달성될 것이다. 결함 행 또는 열이 리페어된 후, 결함이 생긴 메인 메모리 셀을 선택하기 위한 어드레스가 읽기/쓰기 동작시 입력되면, 결함 행 또는 열 대신에 리던던트 행 또는 열이 선택된다. 이에 따라, 결함이 생긴 메인 메모리 셀 대신에 리던던트 메모리 셀이 액세스된다.

<22> 한편, 메모리 셀의 축소와 더불어 필연적으로 최소 회로 선폭 (minimum feature size)가 감소함에 따라, 하드성 결함 (hard-type defect)이 발생할 확률이 높아진다. 하드성 결함은 비트 라인과 접지 라인과와의 단락, 비트 라인 쌍과 접지 라인과와의 단락, 셀 노드와 접지 라인과와의 단락, 셀 노드와 전원 전압 라인과와의 단락, 등을 포함한다. 그러한 단락은 반도체 메모리 장치의 대기 동작시 과도한 전류가 접지 라인을 통해 흐르게 한다. 이러한 현상을 이하 "대기 전류 불량" (standby current failure or defect)이라 칭한다. 대기 전류 불량을 유발하는 메모리 셀을 포함하는 행 또는 열은 앞서 설명된 리던던시 기술을 통해 리던던트 행 또는 열로 대체될 것이다.

<23> 결함 행 또는 열을 리페어한 후에도 결함 열/행의 메모리 셀들로 여전히 전원 전압이 공급되기 때문에, 과도한 대기 전류가 소모될 것이다. 결함 메모리 셀(들)을 통해 소모되는 대기 전류를 차단하기 위한 다양한 기술들이 1995년 2월 14일자로 허여된 U.S. Patent No. 5,390,150에 "SEMICONDUCTOR MEMORY DEVICE WITH REDUNDANCY STRUCTURE SUPPRESSING POWER CONSUMPTION"라는 제목으로, 1997년 12월 30일자로 허여된 U.S. Patent No. 5,703,816에 "FAILED MEMORY CELL REPAIR CIRCUIT OF SEMICONDUCTOR MEMORY"라는 제목으로, 그리고 2002년 9월 24일자로 허여된 U.S. Patent No. 6,456,547에 "SEMICONDUCTOR MEMORY DEVICE WITH

FUNCTION OF REPAIRING STANDBY CURRENT FAILURE"라는 제목으로 각각 개시되어 있다. 앞서 언급된 특허들은 결함 열의 프리차지 회로를 제어함으로써 그리고 결함 열로의 전원 전압의 공급을 제어함으로써 결함 열을 통해 소모되는 대기 전류를 줄일 수 있는 기술들을 개시하고 있다.

<24> 이러한 리페어 기술을 이용하여 대기 전류 불량량의 메모리 셀들에 의한 대기 전류를 차단하기 위해서는 그러한 결함 열들 또는 행들을 찾아내는 것이 무엇보다도 우선되어야 할 것이다. 따라서, 본 발명은 웨이퍼 레벨에서 대기 전류 불량을 유발하는 결함 열들 또는 행들을 손쉽게 찾아내는 데 있다.

**【발명이 이루고자 하는 기술적 과제】**

<25> 본 발명의 목적은 대기 전류 불량을 유발하는 결함 행들 또는 열들을 판별할 수 있는 반도체 메모리 장치에 관한 것이다.

**【발명의 구성 및 작용】**

<26> 상술한 제반 목적을 달성하기 위한 본 발명의 특징에 따르면, 반도체 메모리 장치는 행들과 열들로 배열되는 메모리 셀들의 어레이와; 테스트 동작 모드시 상기 어레이의 메모리 셀들을 리페어 단위로 선택하는 수단과; 그리고 상기 테스트 동작 모드시 리페어 단위로 선택된 메모리 셀들로 전원 전압을 공급하고 나머지 메모리 셀들로의 전원 공급을 차단하는 수단을 포함한다.

<27> 일 예로, 상기 어레이의 메모리 셀들은 행 단위로 리페어되고, 상기 선택 수단은 상기 테스트 동작 모드시 행 어드레스에 응답하여 상기 어레이의 메모리 셀들을 리페어 단위로 선택한다. 상기 전원 전압 공급 수단은 퓨즈를 포함하고, 상기 테스트 동작 모드시 상기 전원 전압의 변화에 따라, 상기 리페어 단위로 선택된 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀



을 포함하는 지의 여부가 판별될 것이다. 상기 리페어 단위로 선택된 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함할 때, 상기 전원 전압 공급 수단의 퓨즈는 절단된다.

<28> 다른 예로, 상기 어레이의 메모리 셀들은 열 단위로 리페어되고, 상기 선택 수단은 상기 테스트 동작 모드시 열 어드레스에 응답하여 상기 어레이의 메모리 셀들을 리페어 단위로 선택한다. 상기 전원 전압 공급 수단은 퓨즈를 포함하고, 상기 테스트 동작 모드시 상기 전원 전압의 변화에 따라, 상기 리페어 단위로 선택된 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함하는 지의 여부가 판별될 것이다. 상기 전원 전압 공급 수단의 퓨즈는 상기 리페어 단위로 선택된 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함할 때 절단된다.

<29> 본 발명의 다른 특징에 따르면, 반도체 메모리 장치는 전원 전압을 공급받는 패드와; 상기 패드에 연결되는 제 1 전원 라인과; 행들과 열들로 배열되는 메모리 셀들의 어레이와; 각각이 리페어 단위의 메모리 셀들에 연결되는 복수의 제 2 전원 라인들과; 테스트 동작 모드시 행 어드레스에 응답하여 상기 어레이의 메모리 셀들을 리페어 단위로 선택하기 위한 선택 신호들을 출력하는 선택 회로와; 그리고 상기 선택 신호들에 응답하여 동작하며, 상기 테스트 동작 모드시 상기 리페어 단위로 선택된 메모리 셀들에 연결된 제 2 전원 라인을 상기 제 1 전원 라인과 연결하고 나머지 제 2 전원 라인들을 상기 제 1 전원 라인과 절연시키는 스위치 회로를 포함한다.

<30> 이 특징에 따른 반도체 메모리 장치는 상기 열들을 프리차지하는 프리차지 회로를 더 포함하며, 상기 프리차지 회로는 상기 테스트 동작 모드 동안 비활성화된다.

<31> 본 발명의 또 다른 특징에 따르면, 반도체 메모리 장치는 전원 전압을 공급받는 패드와; 상기 패드에 연결되는 제 1 전원 라인과; 행들과 열들로 배열되는 메모리 셀들의 어레이와; 각각이 리페어 단위의 메모리 셀들에 연결되는 복수의 제 2 전원 라인들과; 테스트 동작 모드시

열 어드레스에 응답하여 상기 어레이의 메모리 셀들을 리페어 단위로 선택하기 위한 선택 신호들을 출력하는 선택 회로와; 그리고 상기 선택 신호들에 응답하여 동작하며, 상기 테스트 동작 모드시 상기 리페어 단위로 선택된 메모리 셀들에 연결된 제 2 전원 라인을 상기 제 1 전원 라인과 연결하고 나머지 제 2 전원 라인들을 상기 제 1 전원 라인과 절연시키는 스위치 회로를 포함한다.

<32> 본 발명의 또 다른 특징에 따르면, 반도체 메모리 장치는 행들과 열들로 배열되는 메모리 셀들의 어레이와; 전원 전압을 각각 공급받는 제 1 및 제 2 패드들과; 상기 제 1 패드에 전기적으로 연결되는 제 1 전원 라인과; 상기 제 2 패드에 전기적으로 연결되는 제 2 전원 라인과; 테스트 동작 모드 신호에 응답하여 상기 제 1 및 제 2 전원 라인들을 선택적으로 연결하는 제 1 스위치 회로와; 각각이 리페어 단위의 메모리 셀들에 전기적으로 연결되는 복수의 제 3 전원 라인들과; 테스트 동작 모드시 상기 어레이의 메모리 셀들을 리페어 단위로 선택하는 선택 회로와; 그리고 상기 테스트 동작 모드시 상기 리페어 단위로 선택된 메모리 셀들에 연결된 제 3 전원 라인에 상기 제 2 전원 라인을 연결하고 나머지 제 3 전원 라인들을 상기 제 2 전원 라인과 절연시키는 제 2 스위치 회로를 포함한다.

<33> 본 발명의 또 다른 특징에 따르면, 반도체 메모리 장치는 전원 전압을 공급받는 제 1 전원 라인과; 행들과 열들로 배열되는 메모리 셀들의 어레이와; 행 어드레스에 응답하여 리페어 단위로 상기 행들을 선택하기 위한 선택 신호들을 출력하는 선택 회로와; 각각이 리페어 단위의 메모리 셀들에 공통으로 연결되는 제 2 전원 라인들과; 테스트 동작 모드시, 상기 선택 신호들에 응답하여 상기 제 2 전원 라인들 중 하나를 상기 제 1 전원 라인에 연결하는 스위치 회로를 포함한다.

- <34> 이 특징에 따른 메모리 장치는 상기 전원 전압을 각각 공급받는 제 1 및 제 2 패드들을 더 포함하며, 상기 제 1 전원 라인은 상기 제 2 패드에 직접 그리고 스위치 트랜지스터를 통해 상기 제 1 패드에 연결된다. 상기 스위치 트랜지스터는 상기 테스트 동작 모드를 알리는 제어 신호에 의해서 제어된다.
- <35> 바람직한 실시예에 따르면, 상기 스위치 회로는 상기 제 2 전원 라인들에 각각 연결되는 스위치들을 포함하며, 상기 각 스위치는 상기 테스트 동작 모드를 알리는 제어 신호와 대응하는 선택 신호를 입력받는 NOR 게이트와; 그리고 상기 NOR 게이트의 출력 신호에 응답하여 상기 제 1 전원 라인과 대응하는 제 2 전원 라인을 연결하는 PMOS 트랜지스터를 포함한다. 또한, 상기 스위치들 각각은 상기 PMOS 트랜지스터와 상기 대응하는 제 2 전원 라인 사이에 연결되는 퓨즈를 더 포함한다.
- <36> 본 발명의 또 다른 특징에 따르면, 반도체 메모리 장치는 전원 전압을 공급받는 제 1 전원 라인과; 행들과 열들로 배열되는 메모리 셀들의 어레이와; 열 어드레스에 응답하여 리페어 단위로 상기 열들을 선택하기 위한 선택 신호들을 출력하는 선택 회로와; 각각이 리페어 단위의 메모리 셀들에 공통으로 연결되는 제 2 전원 라인들과; 테스트 동작 모드시, 상기 선택 신호들에 응답하여 상기 제 2 전원 라인들 중 하나를 상기 제 1 전원 라인에 연결하고, 나머지 제 2 전원 라인들을 상기 제 1 전원 라인과 절연시키는 스위치 회로를 포함한다.
- <37> 이 특징에 따른 메모리 장치는 상기 전원 전압을 각각 공급받는 제 1 및 제 2 패드들을 더 포함하며, 상기 제 1 전원 라인은 상기 제 2 패드에 직접 그리고 스위치 트랜지스터를 통해 상기 제 1 패드에 연결된다. 상기 스위치 트랜지스터는 테스트 동작 모드를 알리는 제어 신호에 의해서 제어된다.

- <38> 바람직한 실시예에 따르면, 상기 스위치 회로는 상기 제 2 전원 라인들에 각각 연결되는 스위치들을 포함하며, 상기 각 스위치는 상기 테스트 동작 모드를 알리는 제어 신호와 대응하는 선택 신호를 입력받는 NOR 게이트와; 그리고 상기 NOR 게이트의 출력 신호에 응답하여 상기 제 1 전원 라인과 대응하는 제 2 전원 라인을 연결하는 PMOS 트랜지스터를 포함한다. 또한, 상기 스위치들 각각은 상기 PMOS 트랜지스터와 상기 대응하는 제 2 전원 라인 사이에 연결되는 퓨즈를 더 포함한다.
- <39> 본 발명의 또 다른 특징에 따르면, 행들과 열들로 배열되는 메모리 셀들의 어레이를 포함하는 반도체 메모리 장치의 방법이 제공되며, 그 방법은 테스트 동작 모드 동안 상기 어레이의 메모리 셀들을 리페어 단위로 선택하기 위한 선택 신호들을 발생하는 단계와; 상기 선택 신호들에 응답하여 상기 테스트 동작 모드시 리페어 단위로 선택된 메모리 셀들로 전원 전압을 공급하고 나머지 메모리 셀들로의 전원 공급을 차단하는 단계와; 그리고 상기 전원 전압의 변화에 따라, 상기 리페어 단위로 선택된 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함하는지의 여부를 판별하는 단계를 포함한다.
- <40> 이하 본 발명의 바람직한 실시예들이 참조 도면들에 의거하여 상세히 설명될 것이다. 본 발명은 반도체 메모리 장치들 중 어느 하나, 예를 들면, 스태틱 랜덤 액세스 메모리 (Static Random Access Memory: SRAM) 장치를 이용하여 설명될 것이다. 하지만, 본 발명이 SRAM 장치에 국한되지 않은 이 분야의 통상적인 지식을 가진 자에게는 자명하다. 본 발명에 있어서, 메모리 셀에 공급될 전원 전압의 용어는 "어레이 전원 전압" (power supply voltage for array), "셀 파워" (cell power), 등과 같은 용어들과 동일한 뜻을 내포한다. 본 발명에 있어서, 테스트 동작 모드는 대기 전류 불량 메모리 셀들이 있는지의 여부를 판별하기 위한 것으로, 웨이퍼 레벨에서 수행된다.

- <41> 본 발명의 특징에 따르면, 여기에 개시된 반도체 메모리 장치는 대기 전류 불량의 메모리 셀(들)을 포함하는 행 또는 열을 리페어 단위로 판별 가능케 한다. 대기 전류 불량의 메모리 셀(들)을 포함하는 행 또는 열은 잘 알려진 리던던시 기술을 통해 리던던트 행 또는 열로 대체된다. 게다가, 결함 행 또는 열을 포함하는 리페어 단위의 행들 또는 열들의 메모리 셀들에 공급되는 전원 전압은 차단된다. 이는 이후 상세히 설명될 것이다.
- <42> 도 1은 본 발명에 따른 반도체 메모리 장치를 개략적으로 보여주는 블록도이다.
- <43> 도 1을 참조하면, 본 발명의 반도체 메모리 장치 (100)는 셀 어레이 블록 (cell array block) (110)과 주변 회로 블록 (peripheral circuit block) (120)을 포함한다. 셀 어레이 블록 (110)은 데이터 정보를 저장하기 위한 것으로, 행들 (또는 워드 라인들)과 열들 (또는 비트 라인들)의 매트릭스 형태로 배열되는 다수의 메모리 셀들을 포함한다. 주변 회로 블록 (120)은 셀 어레이 블록 (110)에 데이터를 쓰거나 셀 어레이 블록 (110)으로부터 데이터를 읽기 위한 것이다. 이러한 블록들은 이후 상세히 설명될 것이다.
- <44> 계속해서 도 1을 참조하면, 본 발명의 반도체 메모리 장치 (100)는 전원 분배 블록 (power distribution block) (130) (도면에서 "PDB"로 표기됨), 패드들 (140, 150), 그리고 스위치 트랜지스터 (MP1)를 더 포함한다. 패드 (140)는 패키지 레벨에서 전원 핀 (예를 들면, Vdd 핀)과 본딩되는 반면에, 패드 (150)는 패키지 레벨에서 어떠한 핀과도 본딩되지 않는다. 전원 라인 (PWRL1)은 패드 (140)에 연결되고, 전원 라인 (PWRL2)은 패드 (150)에 연결된다. 주변 회로 블록 (120)은 패드 (140)와 전원 라인 (PWRL1)을 통해 외부로부터 동작 전압을 공급받는다. 스위치 트랜지스터 (MP1)는 전원 라인들 (PWRL1, PWRL2) 사이에 연결되고, 제어 신호 (CPB)에 의해서 턴 온/오프된다. 예를 들면, 스위치 트랜지스터 (MP1)는 테스트 동작 모드시

턴 오프되고 정상 동작 모드시 턴 온된다. 제어 신호 (CPB)는 웨이퍼 레벨의 테스트 동작 모드시 하이 레벨을 갖고 패키징 후 정상 동작 모드시 로우 레벨을 갖는다.

<45> 전원 분배 블록 (130)은 웨이퍼 레벨의 테스트 동작 모드시 스위치 트랜지스터 (MP1)가 턴 오프되기 때문에 패드 (150)에 연결된 전원 라인 (PWRL2)으로부터 전원 전압을 공급받는다. 전원 분배 블록 (130)은 테스트 동작 모드시 리페어 단위로 선택되는 메모리 셀들에 전원 전압을 공급하고, 나머지 메모리 셀들로의 전원 공급을 차단한다. 이는 테스트 동작 모드시 리페어 단위로 메모리 셀들의 대기 전류 불량을 측정 가능하게 한다. 정상 동작 모드시 스위치 트랜지스터 (MP1)가 턴 온되고 패드 (150)에는 전원 전압이 공급되지 않기 때문에, 전원 분배 블록 (130)은 전원 라인 (PWRL1)으로부터 전원 전압을 공급받는다. 전원 분배 블록 (130)은 정상 동작 모드시 셀 어레이 블록의 모든 메모리 셀들 또는 리페어된 것을 제외한 나머지 메모리 셀들로 전원 전압을 공급한다.

<46> 도 2는 본 발명의 제 1 실시예에 따른 반도체 메모리 장치를 개략적으로 보여주는 블록도이다. 도 2에 도시된 셀 어레이 블록 (110)은 복수 개의 서브-워드 라인들 (SWL0-SWLm)을 포함하며, 각 서브-워드 라인에는 복수 개의 메모리 셀들이 연결될 것이다. 예를 들면, 각 서브-워드 라인에는 6개의 트랜지스터들로 구성되는 SRAM 셀들이 연결될 것이다. 본 발명의 제 1 실시예에 따른 반도체 메모리 장치 (100)은 제 1 디코더 (first decoder) (122), 제 2 디코더 (second decoder) (124), 그리고 워드 라인 구동기들 (word line drivers) (DRV0-DRVm)를 포함하며, 이는 도 1의 주변 회로 블록 (120)을 구성한다. 비록 도면에는 도시되지 않았지만, 주변 회로 블록 (120)에는 행 선택 기능을 수행하는 데 필요한 회로들이 더 포함됨은 자명하다.

<47> 제 1 디코더 (122)는 행 어드레스 (RAi)에 응답하여 메인 워드 라인들 (MWL0-MWLm)으로 선택 신호들을 출력한다. 메인 워드 라인들 (MWL0-MWLm)은 대응하는 구동기들 (DRV0-DRVm)에

각각 연결되어 있다. 각 구동기는 각 메인 워드 라인에 대응하는 복수의, 예를 들면, 4개의 서브-워드 라인들에 연결되어 있다. 예를 들면, 구동기 (DRV0)는 메인 워드 라인 (MWL0)에 대응하는 서브-워드 라인들 (SWL0-SWL3)에 연결되고, 구동기 (DRV1)는 메인 워드 라인 (MWL1)에 대응하는 서브-워드 라인들 (SWL4-SWL7)에 연결되며, 그리고 구동기 (DRV<sub>m</sub>)는 메인 워드 라인 (MWL<sub>m</sub>)에 대응하는 서브-워드 라인들 (SWL(m-3)-SWL<sub>m</sub>)에 연결된다. 제 2 디코더 (124)는 행 어드레스 (RA<sub>j</sub>)에 응답하여 선택 신호들 (DRA0-DRA3)을 출력하며, 선택 신호들 (DRA0-DRA3)은 구동기들 (DRV0-DRV<sub>m</sub>) 각각으로 전달된다. 제 2 디코더 (124)로부터 출력되는 선택 신호들 (DRA0-DRA3)은 테스트 동작 모드시 입력 어드레스 (RA<sub>j</sub>)에 관계없이 제어 신호 (CP)에 의해서로우 레벨로 설정된다. 따라서, 테스트 동작 모드시, 메인 워드 라인들 (MWL0-MWL<sub>m</sub>) 중 하나가 선택되더라도, 선택된 메인 워드 라인에 속하는 서브-워드 라인들은 활성화되지 않는다. 이는 선택된 메인 워드 라인에 대응하는 메모리 셀들 (또는 리페어 단위의 메모리 셀들)이 대기 전류 불량 메모리 셀을 포함하는지의 여부를 판별하기 위함이다.

<48>       결함 셀들이 행 단위로 리페어된다고 가정하자. 이러한 가정 따르면, 임의의 서브-워드 라인에 연결되는 메모리 셀이 결함 셀인 경우, 결함 셀의 서브-워드 라인 및 그와 관련된 서브-워드 라인들은 리던던트 행들로 대체될 것이다. 예를 들면, 서브-워드 라인 (SWL0)이 결함 행인 경우, 메인 워드 라인 (MWL0)에 대응하는 서브-워드 라인들 (SWL0-SWL3)가 모두 대응하는 리던던트 행들로 대체될 것이다. 본 발명의 반도체 메모리 장치에 따르면, 메인 워드 라인들이 순차적으로 또는 랜덤하게 선택될 때, 선택된 메인 워드 라인에 대응하는 서브-워드 라인들에 연결된 메모리 셀들 (또는 리페어 단위에 속하는 메모리 셀들)에만 전원 분배 블록 (130)을 통해 전원 전압이 공급된다. 좀 더 구체적인 설명은 다음과 같다.

<49> 계속해서 도 2를 참조하면, 전원 분배 블록 (130)은 전원 라인 (PWRL2)에 연결되며, 메인 워드 라인들 (MWL0-MWLm)에 각각 대응하는 전원 스위치들 (RPSW0-RPSWm)을 포함한다. 앞서 설명된 바와 같이, 전원 라인 (PWRL2)은 테스트 동작 모드시 패드 (150)로부터 전원 전압을 공급받고, 정상 동작 모드시 패드 (160)와 스위치 트랜지스터 (MP1)를 통해 패드 (140)로부터 전원 전압을 공급받는다. 전원 스위치 (RPSW0)은 전원 라인 (PWRL2) 상의 전원 전압을 공급받고, 선택 신호 (MWL0)와 제어 신호 (CP)에 응답하여 리페어 단위 (RU0)에 속하는 서브-워드 라인들 (SWL0-SWL3)의 메모리 셀들로 전원 전압 (Vdd\_Cell)을 선택적으로 공급한다. 전원 스위치 (RPSW1)는 전원 라인 (PWRL2) 상의 전원 전압을 공급받고, 선택 신호 (MWL1)와 제어 신호 (CP)에 응답하여 리페어 단위 (RU1)에 속하는 서브-워드 라인들 (SWL4-SWL7)의 메모리 셀들로 전원 전압 (Vdd\_Cell)을 선택적으로 공급한다. 그리고, 전원 스위치 (RPSWm)는 전원 라인 (PWRL2) 상의 전원 전압을 공급받고, 선택 신호 (MWLm)와 제어 신호 (CP)에 응답하여 리페어 단위 (RUm)에 속하는 서브-워드 라인들 (SWL(m-3)-SWLm)의 메모리 셀들로 전원 전압 (Vdd\_Cell)을 선택적으로 공급한다.

<50> 예를 들면, 정상 동작 모드시, 전원 스위치들 (RPSW0-RPSWm)은 선택 신호들 (MWL0-MWLm)에 관계없이 대응하는 리페어 단위의 메모리 셀들로 전원 전압 (Vdd\_Cell)을 공급한다. 즉, 정상 동작 모드시, 모든 메모리 셀들로 전원 전압이 공급된다. 테스트 동작 모드시, 전원 스위치들 (RPSW0-RPSWm) 중 어느 하나만이 리페어 단위의 메모리 셀들로 전원 전압을 공급한다. 예를 들면, 전원 스위치 (RPSW0)는 선택 신호 (MWL0)가 활성화될 때만 서브-워드 라인들 (SWL0-SWL3)에 연결되는 메모리 셀들로 전원 전압 (Vdd\_Cell)을 공급한다. 나머지 전원 스위치들 (RPSW1-RPSWm)은 전원 스위치 (RPSW0)와 동일하게 동작한다.



- <51> 테스트 동작 모드시, 리페어 단위의 메모리 셀들에만 전원 전압을 공급한 후 패드 (150)의 전압 변화를 검출함으로써 리페어 단위의 메모리 셀들이 대기 전류 불량의 메모리 셀을 포함하는지의 여부를 판별할 수 있다. 패드 (150)의 전압 변화의 검출은 테스트 장비 (미도시됨)를 통해 이루어질 것이다.
- <52> 도 2에 도시된 바와 같이, 본 발명의 반도체 메모리 장치 (100)는 패드 (160)와 인버터들 (INV1, INV2)로 구성되는 버퍼 (도면에서 "BUF"로 표기됨)를 더 포함한다. 패드 (160)는 테스트 동작 모드시 테스트 장비 (미도시됨)를 통해 접지 전압을 공급받는다. 이에 따라, 제어 신호 (CP)는 테스트 동작 모드시 로우 레벨을 갖는다. 패드 (160)는 패키지 레벨에서 전원 패드 (140) 또는 하이 레벨의 전압을 갖는 다른 패드 (미도시됨)에 본딩된다. 이에 따라, 제어 신호 (CP)는 정상 동작 모드시 하이 레벨을 갖는다.
- <53> 이 실시예에 있어서, 제 1 디코더 (122)는 행 어드레스에 응답하여 리페어 단위로 메모리 셀들의 행들을 선택하기 위한 선택 신호들을 발생하는 선택 회로를 구성한다.
- <54> 도 3은 도 1에 도시된 전원 스위치 (RPSW0) 및 그에 대응하는 리페어 단위의 메모리 셀들을 보여주는 블록도이다.
- <55> 도 3을 참조하면, 4개의 서브-워드 라인들 (SWL0-SWL3)은 리페어 단위 (RU0)를 구성한다. 서브-워드 라인들 (SWL0-SWL3) 각각에는 메모리 셀들로서 SRAM 셀들이 연결되어 있다. 각 열의 메모리 셀들은 대응하는 쌍의 비트 라인들 (BLm, BLmB) 사이에 연결되어 있다. 앞서 설명된 바와 같이, 테스트 동작 모드 동안, 리페어 단위의 서브-워드 라인들 (SWL0-SWL3)은 대응하는 메인 워드 라인 (MWL0)이 선택되더라도 활성화되지 않는다. 리페어 단위 (RU0)의 메모리 셀들은 로컬 전원 라인 (PWRL\_LOC0)으로부터의 전원 전압 (Vdd\_Cell)을 동작 전압으로서 공급받는다. 로컬 전원 라인 (PWRL\_LOC0)은 전원 스위치 (RPSW0)에 연결되어 있다.

- <56> 전원 스위치 (RPSW0)는 제어 신호 (CP)와 선택 신호 (MWL0)에 응답하여 전원 라인 (PWRL2) 상의 전원 전압 (TVdd/Vdd)을 로컬 전원 라인 (PWRL\_LOC0)과 선택적으로 연결하며, NOR 게이트 (G1), PMOS 트랜지스터 (MP2), 그리고 퓨즈 (F1)를 포함한다. NOR 게이트 (G1)는 제어 신호 (CP)와 선택 신호 (MWL0)에 응답하여 PMOS 트랜지스터 (MP2)을 제어한다. PMOS 트랜지스터 (MP2)과 퓨즈 (F1)은 라인들 (PWRL2, PWRL\_LOC0) 사이에 직렬로 연결되어 있다.
- <57> 열들을 구성하는 비트 라인들에는 프리차지 회로 (170)가 연결되며, 프리차지 회로 (170)는 대응하는 열들의 비트 라인들에 연결된 비트 라인 프리차지부들 (170\_0-170\_m)을 포함한다. 각 프리차지부는 대응하는 제어 신호 (PREi) (i=0-n)에 의해서 제어되는 PMOS 트랜지스터들 (MP3, MP4)로 구성된다. 제어 신호 (PREi)를 발생하는 회로를 보여주는 도 4를 참조하면, 제어 신호 발생 회로 (180)는 NAND 게이트 (G2)로 구성된다. 제어 신호 (PREi)는 테스트 동작 모드시 각 열에 대응하는 프리차지 신호 (PRECHi)에 관계없이 하이 레벨로 유지되고, 정상 동작 모드시 제어 신호 (CP)에 관계없이 프리차지 신호 (PRECHi)에 따라 움직인다. 따라서, 비트 라인 프리차지부들 (170\_0-170\_m)은 정상 동작 모드시 프리차지 신호 (PRECHi)에 따라 대응하는 열들의 비트 라인들 (BL0, BLOB)-(BLm, BLmB)를 프리차지하고, 테스트 동작 모드시 비활성화된다.
- <58> 도 5는 본 발명의 바람직한 실시예에 따른 도 2의 구동기 (DRV0)를 보여주는 회로도이다.
- <59> 도 5를 참조하면, 구동기 (DRV0)는 4개의 NAND 게이트들 (G3, G4, G5, G6)과 4개의 인버터들 (INV3, INV4, INV5, INV6)을 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 정상 동작 모드에 있어서, 메인 워드 라인 (MWL0)이 활성화되고 선택 신호들 (DRA0-DRA3) 중 하나 (예를 들면, DRA0)가 하이 레벨을 가질 때, 서브-워드 라인 (SWL0)이 선택된다. 테스트 동작 모드

에 있어서, 메인 워드 라인 (MWL0)이 활성화하고 선택 신호들 (DRA0-DRA3)이 비활성화되기 때문에, 서브-워드 라인들 (SWL0-SWL3)는 선택되지 않는다.

<60> 도 6은 도 2에 도시된 제 2 디코더를 보여주는 회로도이다. 도 6을 참조하면, 도 6에 도시된 제 2 디코더 (124)는 그것의 출력단으로, 제어 신호 (CP)에 따라 출력 신호들 (DRA0-DRA3)의 로직 상태들이 결정된다. 예를 들면, 제어 신호 (CP)가 로우 레벨일 때, 즉 테스트 동작 모드시, 이전의 디코딩 회로 (미도시됨)로부터 출력되는 입력 신호들 (DRA0'-DRA3')의 로직 상태들에 관계없이 출력 신호들 (DRA0-DRA3)는 로우 레벨로 설정된다. 제어 신호 (CP)가 하이 레벨일 때, 즉 정상 동작 모드시, 출력 신호들 (DRA0-DRA3)의 로직 상태들은 입력 신호들 (DRA0'-DRA3')의 로직 상태들에 따라 설정된다.

<61> 본 발명의 제 1 실시예에 따른 반도체 메모리 장치의 동작이 도 1 내지 도 6에 의거하여 이하 상세히 설명될 것이다.

<62> 테스트 동작 모드시, 패드들 (140, 150)에는 각각 전원 전압 (Vdd, TVdd)이 각각 공급되고, 패드 (160)에는 로우 레벨이 인가된다. 이때, PMOS 트랜지스터 (MP1)이 턴 오프되기 때문에, 주변 회로 블록 (120)에는 패드 (140)의 전원 전압 (Vdd)이 인가되고, 셀 어레이 블록 (110)에는 패드 (150)의 전원 전압 (TVdd)이 인가된다. 제 1 디코더 (122)은 행 어드레스 (RAi)에 응답하여 선택 신호들 (MWL0-MWLm) 중 하나를 활성화시킨다. 즉, 하나의 메인 워드 라인 (예를 들면, MWL0)이 선택된다. 테스트 동작 모드시 제어 신호 (CP)가 로우 레벨이기 때문에, 제 2 디코더 (124)의 출력 신호들 (DRA0-DRA3)은 로우 레벨을 갖는다. 이는 선택된 메인 워드 라인에 대응하는 서브-워드 라인들이 선택되지 않음을 의미한다.

<63> 메인 워드 라인 (MWL0)이 선택됨에 따라, 전원 스위치 (RPSW0)만이 동작하고 나머지 전원 스위치들 (RPSW1-RPSWm)은 동작하지 않는다. 전원 스위치 (RPSW0)에 있어서, 메인 워드 라

인 (MWL0)이 선택됨에 따라, PMOS 트랜지스터 (MP2)은 턴 온되며, 리페어 단위의 메모리 셀들에는 전원 전압 (Vdd\_Cell)이 공급된다. 이때, 비트 라인 프리차지 회로들 (170\_0-170\_m)은 모두 비활성화되며, 그 결과 비트 라인들로의 전류 공급이 차단된다.

<64> 이러한 상태에서 패드 (150)의 전압 변화가 테스트 장비 (미도시됨)를 통해 검출/조사될 것이다. 즉, 패드 (150)의 전압 변화에 따라, 리페어 단위의 메모리 셀들이 대기 전류 불량의 메모리 셀(들)을 포함하는지의 여부가 판별될 수 있다. 리페어 단위의 메모리 셀들이 대기 전류 불량의 메모리 셀(들)을 포함하는 경우, 퓨즈 (F1)은 리페어 단위의 메모리 셀들에 연결된 로컬 전원 라인 (PWRL\_LOC0)이 전원 라인 (PWRL2)과 전기적으로 절연되도록 절단된다. 이는 대기 전류 불량의 메모리 셀(들)에 의해서 더 이상 대기 전류가 소모되는 것을 방지할 수 있음을 의미한다.

<65> 이에 반해서, 전원 스위치들 (RPSW1-RPSWm) 각각에 있어서, 대응하는 메인 워드 라인이로우 레벨이기 때문에, PMOS 트랜지스터 (MP2)는 턴 오프되며, 리페어 단위의 메모리 셀들에는 전원 전압 (Vdd\_Cell)이 공급되지 않는다.

<66> 결론적으로, 리페어 단위로 선택된 메모리 셀들에는 전원 전압이 공급되는 반면에, 나머지 메모리 셀들에는 전원 전압이 공급되지 않는다. 이러한 상태에서 리페어 단위에 속하는 메모리 셀들의 대기 전류를 측정함으로써 대기 전류 불량의 메모리 셀(들)을 포함하는 행들을 손쉽게 판별할 수 있다.

<67> 도 7은 본 발명의 제 2 실시예에 따른 반도체 메모리 장치를 보여주는 블록도이다.

<68> 도 7에 도시된 셀 어레이 블록 (110')은 복수의 열들을 포함하며, 각 열은 한 쌍의 비트 라인들로 구성된다. 예를 들면, 첫 번째 열은 한 쌍의 비트 라인들 (BL0, BL0B)으로

구성된다. 도시의 편의상, 각 열이 "BL"으로 표기되어 있다. 하지만, 각 열이 "BL" 및 "BLB"으로 구성됨은 이 분야의 통상적인 지식을 가진 자에게 자명하다. 각 열의 비트 라인들 사이에는 복수 개의 메모리 셀들이 연결될 것이다. 예를 들면, 각 열의 비트 라인들 사이에는 6개의 트랜지스터들로 구성되는 SRAM 셀들이 연결될 것이다. 셀 어레이 블록 (110')의 열들은 리페어 단위로 구분될 수 있다. 예를 들면, 비트 라인들 (BL0-BL3)은 리페어 단위 (RU0)를 구성하고, 비트 라인들 (BL4-BL7)은 리페어 단위 (RU1)를 구성하며, 비트 라인들 (BL(n-3)-BLn)은 리페어 단위 (RU<sub>n</sub>)를 구성한다. 열 스위치 회로 (190)는 다수의 열 스위치들 (YSW0-YSW<sub>n</sub>)을 포함한다. 각 열 스위치 블록은 리페어 단위의 열들 또는 비트 라인들에 연결되어 있다. 예를 들면, 열 스위치 (YSW0)는 리페어 단위 (RU0)의 비트 라인들 (BL0-BL3)에 연결되고, 열 스위치 (YSW1)는 리페어 단위 (RU1)의 비트 라인들 (BL4-BL7)에 연결되며, 열 스위치 (YSW<sub>n</sub>)는 리페어 단위 (RU<sub>n</sub>)의 비트 라인들 (BL(n-3)-BLn)에 연결된다.

<69> 계속해서 도 7을 참조하면, 본 발명의 제 2 실시예에 따른 반도체 메모리 장치 (100')은 제 1 디코더 (122'), 제 2 디코더 (124'), 그리고 제 3 디코더들 (126'\_0-126'\_n)을 포함하며, 이는 도 1의 주변 회로 블록 (120)을 구성한다. 비록 도면에는 도시되지 않았지만, 주변 회로 블록 (120)에는 열 선택 기능을 수행하는 데 필요한 회로들이 더 포함됨은 자명하다.

<70> 제 1 디코더 (122')는 열 어드레스 (CA<sub>i</sub>)에 응답하여 선택 신호들 (MY0-MY<sub>n</sub>)을 출력한다. 제 2 디코더 (124')는 열 어드레스 (CA<sub>j</sub>)에 응답하여 선택 신호들 (DCA0-DCA3)을 출력한다. 제 2 디코더 (124')로부터 출력되는 선택 신호들 (DCA0-DCA3)은 테스트 동작 모드시 입력 어드레스 (CA<sub>j</sub>)에 관계없이 제어 신호 (CP)에 의해서 로우 레벨로 설정된다. 제 3 디코더들 (126'\_0-126'\_n)은 제 1 디코더 (122')로부터의 선택 신호들 (MY0-MY<sub>n</sub>)에 각각 대응한다. 제 3 디코더들 (126'\_0-126'\_n) 각각은 제 1 디코더 (122')로부터의 대응하는 선택 신호와 제 2 디

코더로부터의 선택 신호들 (DCA0-DCA3)에 응답하여 스위치 신호들 (Y0-Y3)을 출력한다. 테스트 동작 모드시 선택 신호들 (DCA0-DCA3)이 모두 로우 레벨을 갖기 때문에, 선택 신호 (예를 들면, MY0)가 활성화되더라도, 활성화된 선택 신호에 대응하는 열 스위치 (예를 들면, YSW0)는 비활성화된다.

<71>       결함 셀들이 열 단위로 리페어된다고 가정하자. 이러한 가정 따르면, 임의의 열의 메모리 셀이 결함 셀인 경우, 결함 셀의 열 및 그와 관련된 열들은 리던던트 열들로 대체될 것이다. 예를 들면, 비트 라인 (BL0)이 결함 열인 경우, 선택 신호 (MY0)에 대응하는 비트 라인들 (BL0-BL3)이 모두 대응하는 리던던트 열들로 대체될 것이다. 본 발명의 반도체 메모리 장치에 따르면, 선택 신호들 (MY0-MYn)이 순차적으로 또는 랜덤하게 활성화될 때, 활성화된 선택 신호에 대응하는 열들의 메모리 셀들 (또는 리페어 단위에 속하는 메모리 셀들)에만 전원 분배 블록 (130')을 통해 전원 전압이 공급된다. 좀 더 구체적인 설명은 다음과 같다.

<72>       계속해서 도 7을 참조하면, 전원 분배 블록 (130')은 전원 라인 (PWRL2)에 연결되며, 선택 신호들 (MY0-MYn)에 각각 대응하는 전원 스위치들 (CPSW0-CPSWm)을 포함한다. 전원 라인 (PWRL2)은 테스트 동작 모드시 패드 (150')로부터 전원 전압을 공급받고, 정상 동작 모드시 패드 (160')과 스위치 트랜지스터 (MP10)를 통해 패드 (140')로부터 전원 전압을 공급받는다. 전원 스위치 (CPSW0)는 전원 라인 (PWRL2) 상의 전원 전압을 공급받고, 선택 신호 (MY0)와 제어 신호 (CP)에 응답하여 리페어 단위 (RU0)에 속하는 열들의 메모리 셀들로 전원 전압 (Vdd\_Cell)을 선택적으로 공급한다. 전원 스위치 (CPSW1)는 전원 라인 (PWRL2) 상의 전원 전압을 공급받고, 선택 신호 (MY1)와 제어 신호 (CP)에 응답하여 리페어 단위 (RU1)에 속하는 열들의 메모리 셀들로 전원 전압 (Vdd\_Cell)을 선택적으로 공급한다. 그리고, 전원 스위치 (CPSWn)는 전원 라인 (PWRL2) 상의 전원 전압을 공급받고, 선택 신호 (MYn)와 제어 신호 (CP)에 응답

하여 리페어 단위 (RU<sub>n</sub>)에 속하는 열들의 메모리 셀들로 전원 전압 (V<sub>dd</sub>\_Cell)을 선택적으로 공급한다.

<73> 예를 들면, 정상 동작 모드시, 전원 스위치들 (CPSW<sub>0</sub>-CPSW<sub>n</sub>)은 선택 신호들 (MY<sub>0</sub>-MY<sub>n</sub>)에 관계없이 대응하는 리페어 단위의 메모리 셀들로 전원 전압 (V<sub>dd</sub>\_Cell)을 공급한다. 즉, 정상 동작 모드시, 모든 메모리 셀들로 전원 전압이 공급된다. 테스트 동작 모드시, 전원 스위치들 (CPSW<sub>0</sub>-CPSW<sub>n</sub>) 중 어느 하나만이 리페어 단위 메모리 셀들로 전원 전압을 공급한다. 예를 들면, 전원 스위치 (CPSW<sub>0</sub>)는 선택 신호 (MY<sub>0</sub>)가 활성화될 때만 리페어 단위 (RU<sub>0</sub>)의 열들에 연결된 메모리 셀들로 전원 전압 (V<sub>dd</sub>\_Cell)을 공급한다. 나머지 전원 스위치들 (CPSW<sub>1</sub>-CPSW<sub>n</sub>)은 전원 스위치 (CPSW<sub>0</sub>)과 동일하게 동작한다.

<74> 테스트 동작 모드시, 리페어 단위의 메모리 셀들에만 전원 전압을 공급한 후 패드 (150')의 전압 변화를 검출함으로써 리페어 단위의 메모리 셀들이 대기 전류 불량량의 메모리 셀을 포함하는지의 여부를 판별할 수 있다. 패드 (150')의 전압 변화의 검출은 테스트 장비 (미도시됨)를 통해 이루어질 것이다.

<75> 도 7에 도시된 바와 같이, 본 발명의 제 2 실시예에 따른 반도체 메모리 장치 (100')는 패드 (160')와 인버터들 (INV20, INV21)로 구성되는 버퍼 (도면에서 "BUF"로 표기됨)를 더 포함하며, 이는 제어 신호 (CP)인 테스트 모드 신호를 발생하는 회로를 구성한다. 패드 (160')는 테스트 동작 모드시 테스트 장비 (미도시됨)를 통해 접지 전압을 공급받는다. 이에 따라, 제어 신호 (CP)는 테스트 동작 모드시 로우 레벨을 갖는다. 패드 (160')는 패키지 레벨에서 전원 패드 (140') 또는 하이 레벨의 전압을 갖는 다른 패드 (미도시됨)에 본딩된다. 이에 따라, 제어 신호 (CP)는 정상 동작 모드시 하이 레벨을 갖는다.

- <76> 도 8은 도 7에 도시된 전원 스위치 (CPSW0) 및 그에 대응하는 리페어 단위의 메모리 셀들을 보여주는 블록도이다.
- <77> 도 8을 참조하면, 4쌍의 비트 라인들 (BL0, BL0B), (BL1, BL1B), (BL2, BL2B) 그리고 (BL3, BL3B)은 리페어 단위 (RU0)를 구성한다. 각 쌍의 비트 라인들 사이에는 메모리 셀들로서 SRAM 셀들이 연결되어 있다. 앞서 설명된 바와 같이, 테스트 동작 모드 동안, 대응하는 선택 신호 (MY0)가 활성화되더라도 열 스위치 (YSW0)는 동작하지 않는다. 앞서 설명된 바와 같이, 그 이유는 테스트 동작 모드 동안 스위치 신호들 (Y0-Y3)이 비활성화되기 때문이다. 리페어 단위 (RU0)의 메모리 셀들은 로컬 전원 라인 (PWRL\_LOC0)으로부터의 전원 전압 (Vdd\_Cell)을 동작 전압으로서 공급받는다. 로컬 전원 라인 (PWRL\_LOC0)은 전원 스위치 (CPSW0)에 연결되어 있다.
- <78> 도 8에 도시된 바와 같이, 전원 스위치 (CPSW0)는 NOR 게이트 (G20), PMOS 트랜지스터 (MP10), 그리고 퓨즈 (F10)를 포함한다. 전원 스위치 (CPSW0)는 제어 신호 (CP)와 선택 신호 (MY0)에 응답하여 전원 라인 (PWRL2) 상의 전원 전압 (TVdd/Vdd)을 로컬 전원 라인 (PWRL\_LOC0)과 선택적으로 연결한다. NOR 게이트 (G20)는 제어 신호 (CP)와 선택 신호 (MY0)에 응답하여 PMOS 트랜지스터 (MP10)를 제어한다. PMOS 트랜지스터 (MP10)와 퓨즈 (F10)는 라인들 (PWRL2, PWRL\_LOC0) 사이에 직렬로 연결되어 있다.
- <79> 비트 라인들 (BL0-BL3)에는 프리차지 회로 (170')가 연결되며, 프리차지 회로 (170')는 대응하는 열들의 비트 라인들에 연결된 비트 라인 프리차지부들 (170a, 170b, 170c, 170d)를 포함한다. 각 프리차지부는 대응하는 제어 신호 (PREi)에 의해서 제어되는 PMOS 트랜지스터들 (MP11, MP12)로 구성된다. 제어 신호 (PREi)를 발생하는 회로는 이후 상세히 설명될 것이다.



- <80> 도 9는 본 발명의 바람직한 실시예에 따른 도 7의 디코더 (126'\_0)를 보여주는 회로도이다.
- <81> 도 9를 참조하면, 디코더 (126'\_0)는 4개의 NAND 게이트들 (G21, G22, G23, G24)와 4개의 인버터들 (INV22, INV23, INV24, INV25)을 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 정상 동작 모드에 있어서, 선택 신호 (MY0)가 활성화되고 선택 신호들 (DCA0-DCA3) 중 하나 (예를 들면, DCA0)가 하이 레벨을 가질 때, 스위치 신호 (Y0)가 활성화된다. 테스트 동작 모드에 있어서, 선택 신호 (MY0)가 활성화하고 선택 신호들 (DCA0-DCA3)이 비활성화되기 때문에, 스위치 신호들 (Y0-Y3)은 비활성화된다.
- <82> 도 10은 도 7에 도시된 제 2 디코더를 보여주는 회로도이다. 도 6을 참조하면, 도 6에 도시된 제 2 디코더 (124')은 그것의 출력단으로, NAND 게이트들 (G25, G26, G27, G28)와 인버터들 (INV26, INV27, INV28, INV29)을 포함한다. 제어 신호 (CP)에 따라 출력 신호들 (DCA0-DCA3)의 로직 상태들이 결정된다. 예를 들면, 제어 신호 (CP)가 로우 레벨일 때, 즉 테스트 동작 모드시, 이전의 디코딩 회로 (미도시됨)로부터 출력되는 입력 신호들 (DCA0'-DCA3')의 로직 상태들에 관계없이 출력 신호들 (DCA0-DCA3)은 로우 레벨로 설정된다. 제어 신호 (CP)가 하이 레벨일 때, 즉 정상 동작 모드시, 출력 신호들 (DCA0-DCA3)의 로직 상태들은 입력 신호들 (DCA0'-DCA3')의 로직 상태들에 따라 설정된다.
- <83> 도 11은 본 발명의 바람직한 실시예에 따른 프리차지 신호 발생 회로 (180')를 보여주는 회로도이다.
- <84> 도 11에 도시된 프리차지 신호 발생 회로 (180')는 열들 중 하나에 대응하는 것으로, 저항기 (R10), 퓨즈 (F11), NAND 게이트들 (G29, G31), 그리고 AND 게이트 (G30)로 구성된다. 퓨즈 (F11)가 절단되지 않을 때, AND 게이트의 출력은 제어 신호 (CP)에 따라 결정된다. 즉, 퓨

즈 (F11)가 절단되지 않은 경우, AND 게이트 (G30)의 출력은 제어 신호 (CP)가 하이 레벨일 때 (또는 정상 동작 모드시) 하이 레벨이 되고 제어 신호 (CP)가 로우 레벨일 때 (또는 테스트 동작 모드시) 로우 레벨이 된다. 이러한 조건에서, 프리차지 신호 (PREi)는 정상 동작 모드시 제어 신호 (PRECHi)를 따라 움직이고 테스트 동작 모드시 AND 게이트 (G30)의 출력에 따라 움직인다. 임의의 열이 결함 열로 판별되어 퓨즈 (F11)가 절단되는 경우, AND 게이트 (G30)의 출력은 제어 신호 (CP)에 관계없이 로우 레벨이 된다. 따라서, 프리차지 신호 (PREi)가 하이 레벨로 고정되기 때문에, 프리차지 회로 (170')는 비트 라인들로의 전류 공급이 차단되도록 비활성화된다.

<85> 본 발명의 제 2 실시예에 따른 반도체 메모리 장치의 동작이 참조 도면들에 의거하여 이하 상세히 설명될 것이다.

<86> 테스트 동작 모드시, 패드들 (140', 150')에는 각각 전원 전압 (Vdd, TVdd)이 각각 공급되고, 패드 (160')에는 로우 레벨이 인가된다. 이때, PMOS 트랜지스터 (MP10)이 턴 오프되기 때문에, 주변 회로 블록 (120')에는 패드 (140')의 전원 전압 (Vdd)이 인가되고, 셀 어레이 블록 (110')에는 패드 (150')의 전원 전압 (TVdd)이 인가된다. 제 1 디코더 (122')은 열 어드레스 (CAi)에 응답하여 선택 신호들 (MY0-MYn) 중 하나를 활성화시킨다. 예를 들면, 선택 신호 (MY0)가 활성화된다. 테스트 동작 모드시 제어 신호 (CP)가 로우 레벨이기 때문에, 제 2 디코더 (124')의 출력 신호들 (DCA0-DCA3)은 로우 레벨을 갖는다. 이는 활성화된 선택 신호 (MY0)에 대응하는 열 스위치 블록 (YSW0)이 비활성화됨을 의미한다.

<87> 선택 신호 (MY0)가 활성화됨에 따라, 전원 스위치 (CPSW0)만이 동작하고 나머지 전원 스위치들 (CPSW1-CPSWn)은 동작하지 않는다. 전원 스위치 (CPSW0)에 있어서, 선택 신호 (MY0)가 하이로 활성화됨에 따라, PMOS 트랜지스터 (MP10)는 턴 온되며, 리페어 단위의 메모리 셀들에

는 PMOS 트랜지스터 (MP10)와 퓨즈 (F10)를 통해 전원 전압 (Vdd\_Cell)이 공급된다. 이때, 비트 라인 프리차지 회로들 (170a-170d)은 모두 비활성화되며, 그 결과 비트 라인들로의 전류 공급이 차단된다.

<88> 이러한 상태에서 패드 (150')의 전압 변화가 테스트 장비 (미도시됨)를 통해 검출/조사 될 것이다. 즉, 패드 (150')의 전압 변화에 따라, 리페어 단위의 메모리 셀들이 대기 전류 불량의 메모리 셀(들)을 포함하는지의 여부가 판별될 수 있다. 리페어 단위의 메모리 셀들이 대기 전류 불량의 메모리 셀(들)을 포함하는 경우, 퓨즈 (F10)은 리페어 단위의 메모리 셀들에 연결된 로컬 전원 라인 (PWRL\_LOC0)이 전원 라인 (PWRL2)과 전기적으로 절연되도록 절단된다. 이는 대기 전류 불량의 메모리 셀(들)에 의해서 더 이상 대기 전류가 소모되는 것을 방지할 수 있음을 의미한다.

<89> 이에 반해서, 전원 스위치들 (CPSW1-CPSWn) 각각에 있어서, 대응하는 선택 신호들이로우 레벨이기 때문에, PMOS 트랜지스터 (MP10)는 턴 오프되며, 리페어 단위의 메모리 셀들에는 전원 전압 (Vdd\_Cell)이 공급되지 않는다.

<90> 따라서, 리페어 단위로 선택된 메모리 셀들에는 전원 전압이 공급되는 반면에, 나머지 메모리 셀들에는 전원 전압이 공급되지 않는다. 이러한 상태에서 리페어 단위에 속하는 메모리 셀들의 대기 전류를 측정함으로써 대기 전류 불량의 메모리 셀(들)을 포함하는 행들을 손쉽게 판별할 수 있다.

<91> 도 12는 도 2 및 도 7에 도시된 전원 스위치 (RPSW0/CPSW0)의 다른 실시예를 보여주는 회로도이다. 도 12를 참조하면, 전원 스위치 (RPSW0/CPSW0)는 퓨즈 (F12), NMOS 트랜지스터들 (MN10, MN11), PMOS 트랜지스터들 (MP13, MP14), 전달 게이트 (TG10), 인버터들 (INV30, INV31, INV32), 그리고 NOR 게이트 (G32)를 포함하며, 도시된 바와 같이 연결되어 있다. 제어

신호 (POR)는 파워-온 리셋 신호 (power-on reset signal)로, 파워-업시 하이-레벨 펄스를 갖는다. 퓨즈 (F12)가 절단되지 않은 경우, ND10 노드는 하이 레벨로 설정되며, 그 결과 전달 게이트 (TG10)의 신호 경로는 형성되고 PMOS 트랜지스터 (MP14)는 턴 오프된다. 이는 PMOS 트랜지스터 (MP13)가 NOR 게이트 (G32)의 출력에 따라 턴 온/오프되게 한다. 예를 들면, 정상 동작 모드시 제어 신호 (CP)가 하이 레벨로 설정되기 때문에, 선택 신호 (MWL0/MY0)에 관계없이 PMOS 트랜지스터 (MP13)는 턴 온된다. 테스트 동작 모드시 제어 신호 (CP)가 로우 레벨로 설정되기 때문에, PMOS 트랜지스터 (MP13)는 선택 신호 (MWL0/MY0)의 로직 상태에 따라 턴 온/오프된다. 퓨즈 (F12)가 절단되는 경우, ND10 노드는 파워-업시 NMOS 트랜지스터 (MN10)를 통해 로우 레벨로 설정되며, 그 결과 전달 게이트 (TG10)의 신호 경로는 차단되고 PMOS 트랜지스터 (MP14)는 턴 온된다. 이는 PMOS 트랜지스터 (MP13)가 턴 오프되게 한다. 따라서, 리페어 단위의 메모리 셀들에 연결된 로컬 전원 라인 (PWRL\_LOC0)에는 전원 전압이 공급되지 않는다.

<92> 도 13은 본 발명의 다른 실시예에 따른 반도체 메모리 장치를 개략적으로 보여주는 블록도이다. 도 13을 참조하면, 반도체 메모리 장치 (100)는 셀 어레이 블록 (210), 주변 회로 블록 (220), 그리고 전원 분배 블록 (도면에서 "PDB"로 표기됨) (230)을 포함한다. 도 13에 도시된 구성들은 도 1에 도시된 것과 실질적으로 동일하며, 그것에 대한 설명은 그러므로 생략된다. 도 13에 도시된 반도체 메모리 장치는 정상 동작 모드와 테스트 동작 모드에서 단일의 전원 체계를 갖는다는 점에서 도 1에 도시된 것과 다르다. 즉, 정상 및 테스트 동작 모드에서 주변 회로 블록 (220) 및 전원 분배 블록 (230)은 패드 (240)를 통해 입력되는 전원 전압을 공급받는다.

<93> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

**【발명의 효과】**

<94> 상술한 바와 같이, 본 발명의 반도체 메모리 장치는 대기 전류 불량의 메모리 셀(들)을 포함하는 행 또는 열을 리페어 단위로 판별 가능케 한다. 결함 행 또는 열을 포함하는 리페어 단위의 행들 또는 열들의 메모리 셀들에 공급되는 전원 전압은 차단된다.

**【특허청구범위】****【청구항 1】**

행들과 열들로 배열되는 메모리 셀들의 어레이와;

테스트 동작 모드시 상기 어레이의 메모리 셀들을 리페어 단위로 선택하는 수단과; 그리고

상기 테스트 동작 모드시 리페어 단위로 선택된 메모리 셀들로 전원 전압을 공급하고 나머지 메모리 셀들로의 전원 공급을 차단하는 수단을 포함하는 반도체 메모리 장치.

**【청구항 2】**

제 1 항에 있어서,

상기 어레이의 메모리 셀들은 행 단위로 리페어되는 반도체 메모리 장치.

**【청구항 3】**

제 2 항에 있어서,

상기 선택 수단은 상기 테스트 동작 모드시 행 어드레스에 응답하여 상기 어레이의 메모리 셀들을 리페어 단위로 선택하는 반도체 메모리 장치.

**【청구항 4】**

제 2 항에 있어서,

상기 전원 전압 공급 수단은 퓨즈를 포함하는 반도체 메모리 장치.

**【청구항 5】**

제 4 항에 있어서,

상기 테스트 동작 모드시 상기 전원 전압의 변화에 따라, 상기 리페어 단위로 선택된 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함하는지의 여부가 판별되는 반도체 메모리 장치.

【청구항 6】

제 5 항에 있어서,

상기 전원 전압 공급 수단의 퓨즈는 상기 리페어 단위로 선택된 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함할 때 절단되는 반도체 메모리 장치.

【청구항 7】

제 2 항에 있어서,

상기 어레이의 메모리 셀들은 열 단위로 리페어되는 반도체 메모리 장치.

【청구항 8】

제 7 항에 있어서,

상기 선택 수단은 상기 테스트 동작 모드시 열 어드레스에 응답하여 상기 어레이의 메모리 셀들을 리페어 단위로 선택하는 반도체 메모리 장치.

【청구항 9】

제 8 항에 있어서,

상기 전원 전압 공급 수단은 퓨즈를 포함하는 반도체 메모리 장치.

【청구항 10】

제 9 항에 있어서,

상기 테스트 동작 모드시 상기 전원 전압의 변화에 따라, 상기 리페어 단위로 선택된 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함하는지의 여부가 판별되는 반도체 메모리 장치.

【청구항 11】

제 10 항에 있어서,

상기 전원 전압 공급 수단의 퓨즈는 상기 리페어 단위로 선택된 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함할 때 절단되는 반도체 메모리 장치.

【청구항 12】

전원 전압을 공급받는 패드와;

상기 패드에 연결되는 제 1 전원 라인과;

행들과 열들로 배열되는 메모리 셀들의 어레이와;

각각이 리페어 단위의 메모리 셀들에 연결되는 복수의 제 2 전원 라인들과;

테스트 동작 모드시 행 어드레스에 응답하여 상기 어레이의 메모리 셀들을 리페어 단위로 선택하기 위한 선택 신호들을 출력하는 선택 회로와; 그리고

상기 선택 신호들에 응답하여 동작하며, 상기 테스트 동작 모드시 상기 리페어 단위로 선택된 메모리 셀들에 연결된 제 2 전원 라인을 상기 제 1 전원 라인과 연결하고 나머지 제 2 전원 라인들을 상기 제 1 전원 라인과 절연시키는 스위치 회로를 포함하는 반도체 메모리 장치



## 【청구항 13】

제 12 항에 있어서,

상기 스위치 회로는 퓨즈를 포함하는 반도체 메모리 장치.

## 【청구항 14】

제 13 항에 있어서,

상기 테스트 동작 모드시 상기 전원 전압의 변화에 따라, 상기 리페어 단위로 선택된 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함하는지의 여부가 판별되는 반도체 메모리 장치.

## 【청구항 15】

제 14 항에 있어서,

상기 스위치 회로의 퓨즈는 상기 리페어 단위로 선택된 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함할 때 절단되는 반도체 메모리 장치.

## 【청구항 16】

제 12 항에 있어서,

상기 열들을 프리차지하는 프리차지 회로를 더 포함하는 반도체 메모리 장치.

## 【청구항 17】

제 16 항에 있어서,

상기 프리차지 회로는 상기 테스트 동작 모드 동안 비활성화되는 반도체 메모리 장치.

## 【청구항 18】

전원 전압을 공급받는 패드와;

상기 패드에 연결되는 제 1 전원 라인과;

행들과 열들로 배열되는 메모리 셀들의 어레이와;

각각이 리페어 단위의 메모리 셀들에 연결되는 복수의 제 2 전원 라인들과;

테스트 동작 모드시 열 어드레스에 응답하여 상기 어레이의 메모리 셀들을 리페어 단위로 선택하기 위한 선택 신호들을 출력하는 선택 회로와; 그리고

상기 선택 신호들에 응답하여 동작하며, 상기 테스트 동작 모드시 상기 리페어 단위로 선택된 메모리 셀들에 연결된 제 2 전원 라인을 상기 제 1 전원 라인과 연결하고 나머지 제 2 전원 라인들을 상기 제 1 전원 라인과 절연시키는 스위치 회로를 포함하는 반도체 메모리 장치

## 【청구항 19】

제 18 항에 있어서,

상기 스위치 회로는 퓨즈를 포함하는 반도체 메모리 장치.

## 【청구항 20】

제 19 항에 있어서,

상기 테스트 동작 모드시 상기 전원 전압의 변화에 따라, 상기 리페어 단위로 선택된 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함하는지의 여부가 판별되는 반도체 메모리 장치.

## 【청구항 21】

제 20 항에 있어서,

상기 스위치 회로의 퓨즈는 상기 리페어 단위로 선택된 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함할 때 절단되는 반도체 메모리 장치.

## 【청구항 22】

제 18 항에 있어서,

상기 열들을 프리차지하는 프리차지 회로를 더 포함하는 반도체 메모리 장치.

## 【청구항 23】

제 22 항에 있어서,

상기 프리차지 회로는 상기 테스트 동작 모드 동안 비활성화되는 반도체 메모리 장치.

## 【청구항 24】

행들과 열들로 배열되는 메모리 셀들의 어레이를 포함하는 반도체 메모리 장치에 있어서

:

전원 전압을 각각 공급받는 제 1 및 제 2 패드들과;

상기 제 1 패드에 전기적으로 연결되는 제 1 전원 라인과;

상기 제 2 패드에 전기적으로 연결되는 제 2 전원 라인과;

테스트 동작 모드 신호에 응답하여 상기 제 1 및 제 2 전원 라인들을 선택적으로 연결하는 제 1 스위치 회로와;

각각이 리페어 단위의 메모리 셀들에 전기적으로 연결되는 복수의 제 3 전원 라인들과;

테스트 동작 모드시 상기 어레이의 메모리 셀들을 리페어 단위로 선택하는 선택 회로와;  
그리고

상기 테스트 동작 모드시 상기 리페어 단위로 선택된 메모리 셀들에 연결된 제 3 전원 라인에 상기 제 2 전원 라인을 연결하고 나머지 제 3 전원 라인들을 상기 제 2 전원 라인과 절연시키는 제 2 스위치 회로를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 25】

제 24 항에 있어서,

상기 제 2 스위치 회로는 퓨즈를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 26】

제 25 항에 있어서,

상기 테스트 동작 모드시 상기 전원 전압의 변화에 따라, 상기 리페어 단위로 선택된 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함하는지의 여부가 판별되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 27】

제 26 항에 있어서,

상기 제 2 스위치 회로의 퓨즈는 상기 리페어 단위로 선택된 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함할 때 절단되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 28】

전원 전압을 공급받는 제 1 전원 라인과;

행들과 열들로 배열되는 메모리 셀들의 어레이와;

행 어드레스에 응답하여 리페어 단위로 상기 행들을 선택하기 위한 선택 신호들을 출력하는 선택 회로와;

각각이 리페어 단위의 메모리 셀들에 공통으로 연결되는 제 2 전원 라인들과;

테스트 동작 모드시, 상기 선택 신호들에 응답하여 상기 제 2 전원 라인들 중 하나를 상기 제 1 전원 라인에 연결하는 스위치 회로를 포함하는 반도체 메모리 장치.

【청구항 29】

제 28 항에 있어서,

상기 전원 전압을 각각 공급받는 제 1 및 제 2 패드들을 더 포함하는 반도체 메모리 장치.

【청구항 30】

제 29 항에 있어서,

상기 제 1 전원 라인은 상기 제 2 패드에 직접 그리고 스위치 트랜지스터를 통해 상기 제 1 패드에 연결되는 반도체 메모리 장치.

【청구항 31】

제 30 항에 있어서,

상기 스위치 트랜지스터는 상기 테스트 동작 모드를 알리는 제어 신호에 의해서 제어되는 반도체 메모리 장치.

**【청구항 32】**

제 28 항에 있어서,

상기 제 1 전원 라인은 상기 전원 전압을 공급받는 패드에 연결되는 반도체 메모리 장치.

**【청구항 33】**

제 28 항에 있어서,

상기 스위치 회로는 상기 제 2 전원 라인들에 각각 연결되는 스위치들을 포함하며,

상기 각 스위치는

상기 테스트 동작 모드를 알리는 제어 신호와 대응하는 선택 신호를 입력받는 NOR 게이트와; 그리고

상기 NOR 게이트의 출력 신호에 응답하여 상기 제 1 전원 라인과 대응하는 제 2 전원 라인을 연결하는 PMOS 트랜지스터를 포함하는 반도체 메모리 장치.

**【청구항 34】**

제 33 항에 있어서,

상기 스위치들 각각은 상기 PMOS 트랜지스터와 상기 대응하는 제 2 전원 라인 사이에 연결되는 퓨즈를 더 포함하는 반도체 메모리 장치.

**【청구항 35】**

제 34 항에 있어서,

상기 테스트 동작 모드시 상기 전원 전압의 변화에 따라, 상기 선택된 행들의 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함하는지의 여부가 판별되는 반도체 메모리 장치.

## 【청구항 36】

제 35 항에 있어서,

상기 퓨즈들 각각은 대응하는 행들의 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함할 때 절단되는 반도체 메모리 장치.

## 【청구항 37】

제 28 항에 있어서,

상기 열들을 프리차지하는 프리차지 회로를 더 포함하는 반도체 메모리 장치.

## 【청구항 38】

제 37 항에 있어서,

상기 프리차지 회로는 상기 테스트 동작 모드 동안 비활성화되는 반도체 메모리 장치.

## 【청구항 39】

전원 전압을 공급받는 제 1 전원 라인과;

행들과 열들로 배열되는 메모리 셀들의 어레이와;

열 어드레스에 응답하여 리페어 단위로 상기 열들을 선택하기 위한 선택 신호들을 출력하는 선택 회로와;

각각이 리페어 단위의 메모리 셀들에 공통으로 연결되는 제 2 전원 라인들과;

테스트 동작 모드시, 상기 선택 신호들에 응답하여 상기 제 2 전원 라인들 중 하나를 상기 제 1 전원 라인에 연결하고, 나머지 제 2 전원 라인들을 상기 제 1 전원 라인과 절연시키는 스위치 회로를 포함하는 반도체 메모리 장치.

## 【청구항 40】

제 39 항에 있어서,

상기 전원 전압을 각각 공급받는 제 1 및 제 2 패드들을 더 포함하는 반도체 메모리 장치.

## 【청구항 41】

제 39 항에 있어서,

상기 제 1 전원 라인은 상기 제 2 패드에 직접 그리고 스위치 트랜지스터를 통해 상기 제 1 패드에 연결되는 반도체 메모리 장치.

## 【청구항 42】

제 41 항에 있어서,

상기 스위치 트랜지스터는 테스트 동작 모드를 알리는 제어 신호에 의해서 제어되는 반도체 메모리 장치.

## 【청구항 43】

제 39 항에 있어서,

상기 제 1 전원 라인은 상기 전원 전압을 공급받는 패드에 연결되는 반도체 메모리 장치.

## 【청구항 44】

제 39 항에 있어서,

상기 스위치 회로는 상기 제 2 전원 라인들에 각각 연결되는 스위치들을 포함하며,  
상기 각 스위치는



상기 테스트 동작 모드를 알리는 제어 신호와 대응하는 선택 신호를 입력받는 NOR 게이트와; 그리고

상기 NOR 게이트의 출력 신호에 응답하여 상기 제 1 전원 라인과 대응하는 제 2 전원 라인을 연결하는 PMOS 트랜지스터를 포함하는 반도체 메모리 장치.

【청구항 45】

제 44 항에 있어서,

상기 스위치들 각각은 상기 PMOS 트랜지스터와 상기 대응하는 제 2 전원 라인 사이에 연결되는 퓨즈를 더 포함하는 반도체 메모리 장치.

【청구항 46】

제 45 항에 있어서,

상기 테스트 동작 모드시 상기 전원 전압의 변화에 따라, 상기 선택된 열들의 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함하는지의 여부가 판별되는 반도체 메모리 장치.

【청구항 47】

제 46 항에 있어서,

상기 퓨즈들 각각은 대응하는 열들의 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함할 때 절단되는 반도체 메모리 장치.

【청구항 48】

제 39 항에 있어서,

상기 열들을 프리차지하는 프리차지 회로를 더 포함하는 반도체 메모리 장치.

## 【청구항 49】

제 48 항에 있어서,

상기 프리차지 회로는 상기 테스트 동작 모드 동안 비활성화되는 반도체 메모리 장치.

## 【청구항 50】

행들과 열들로 배열되는 메모리 셀들의 어레이를 포함하는 반도체 메모리 장치의 방법에 있어서:

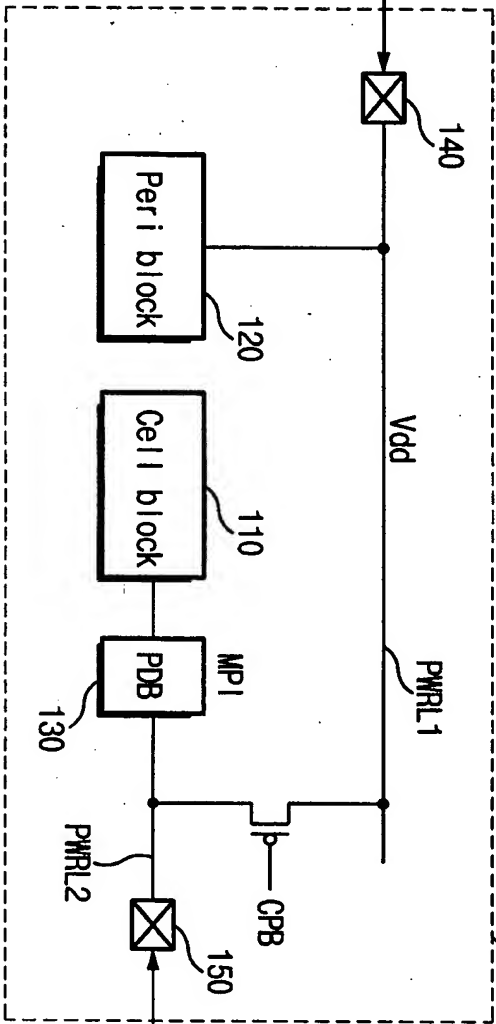
테스트 동작 모드 동안 상기 어레이의 메모리 셀들을 리페어 단위로 선택하기 위한 선택 신호들을 발생하는 단계와;

상기 선택 신호들에 응답하여 상기 테스트 동작 모드시 리페어 단위로 선택된 메모리 셀들로 전원 전압을 공급하고 나머지 메모리 셀들로의 전원 공급을 차단하는 단계와; 그리고

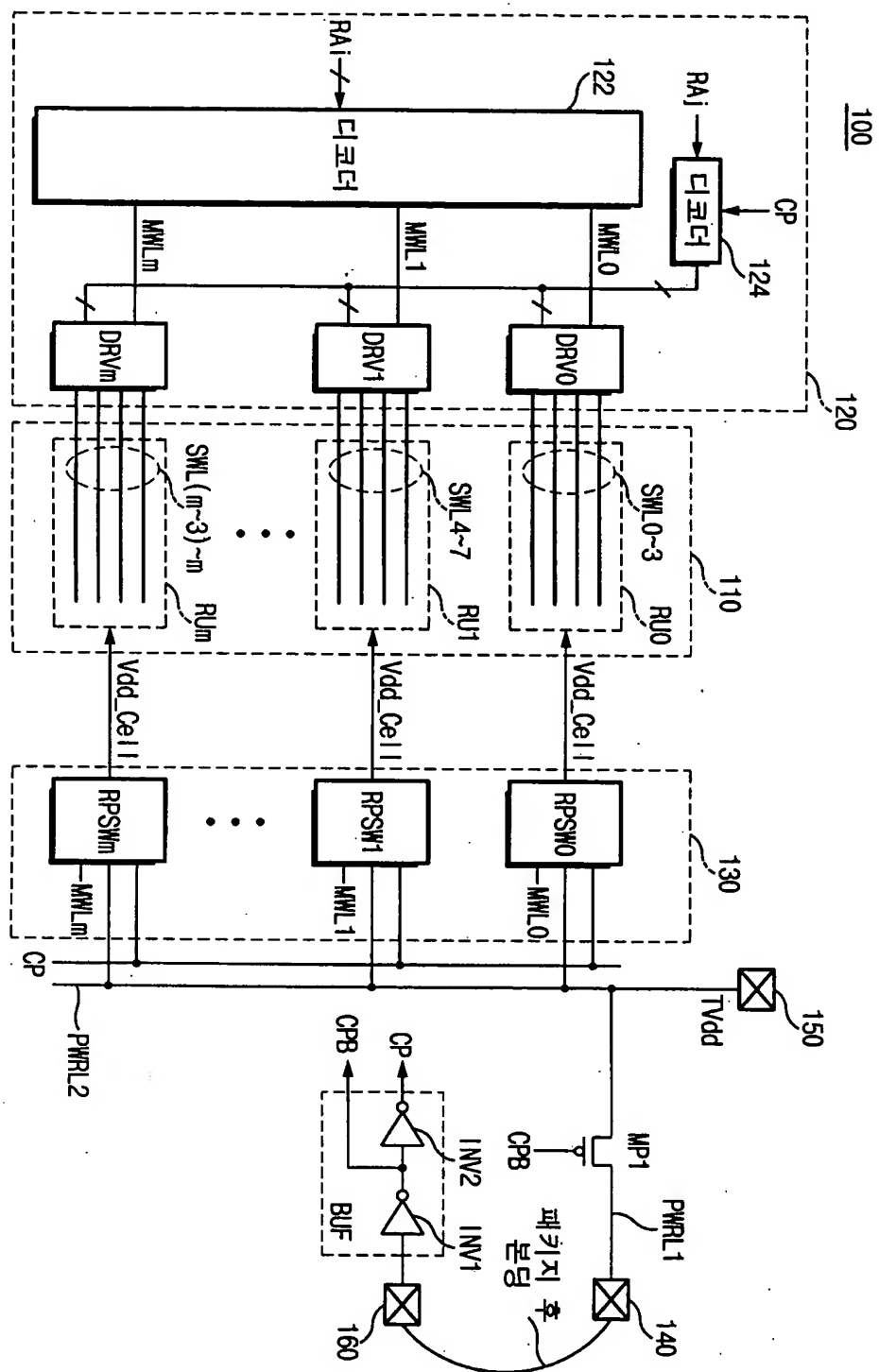
상기 전원 전압의 변화에 따라, 상기 리페어 단위로 선택된 메모리 셀들이 대기 전류 결함을 갖는 메모리 셀을 포함하는지의 여부를 판별하는 단계를 포함하는 것을 특징으로 하는 방법.

【도면】

【도 1】

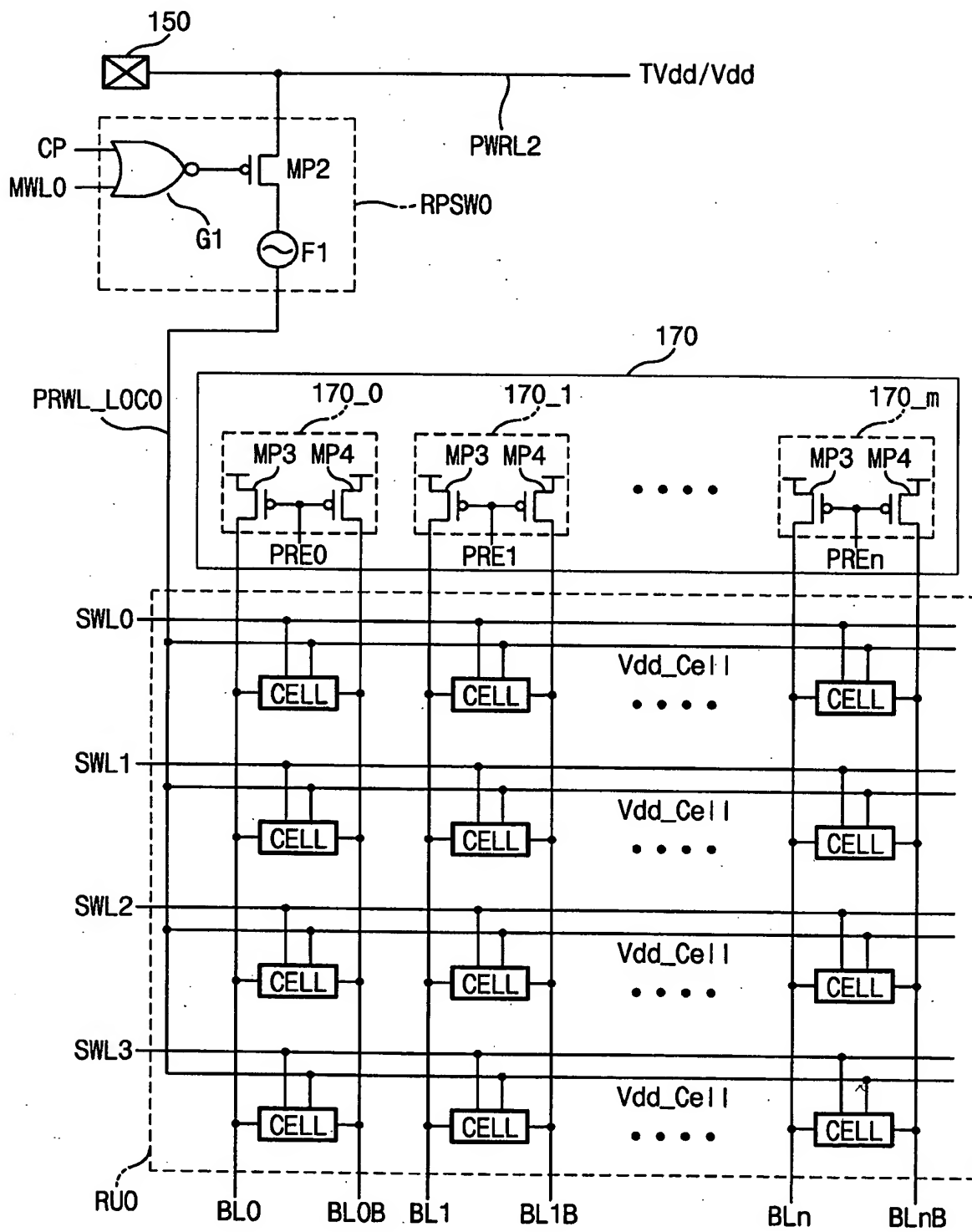


【도 2】

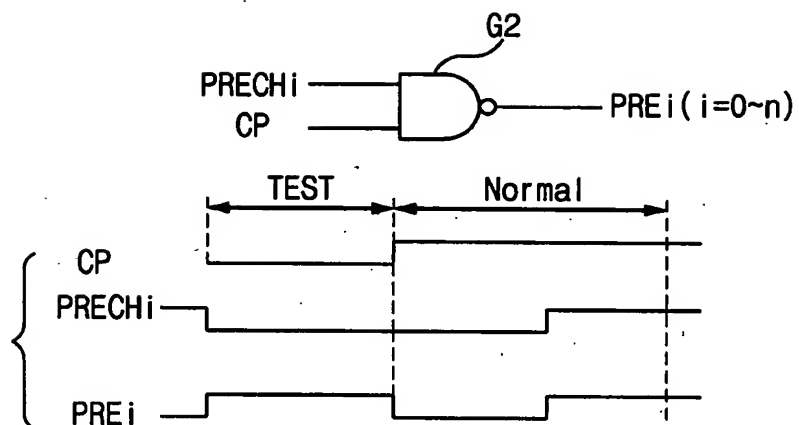


**RU: unit of Redundancy Replacement**

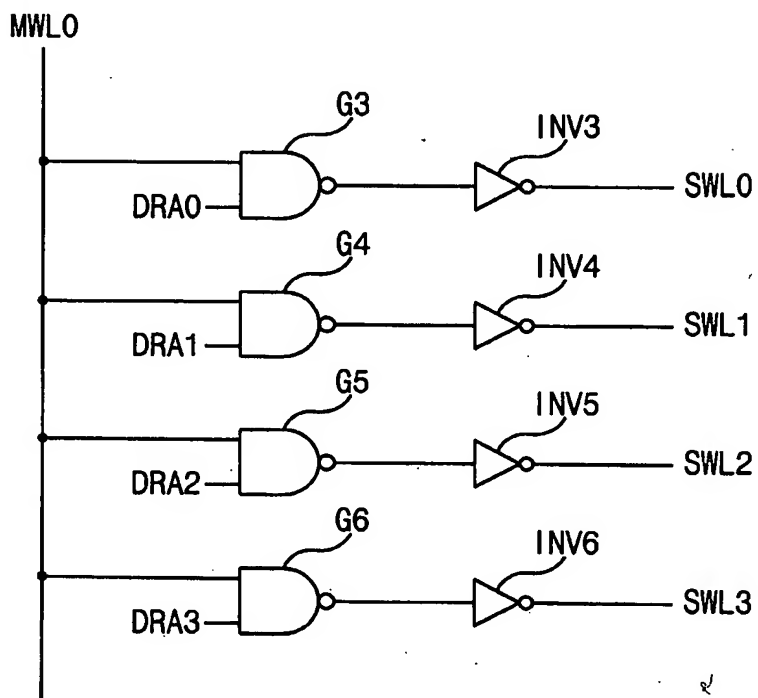
【도 3】



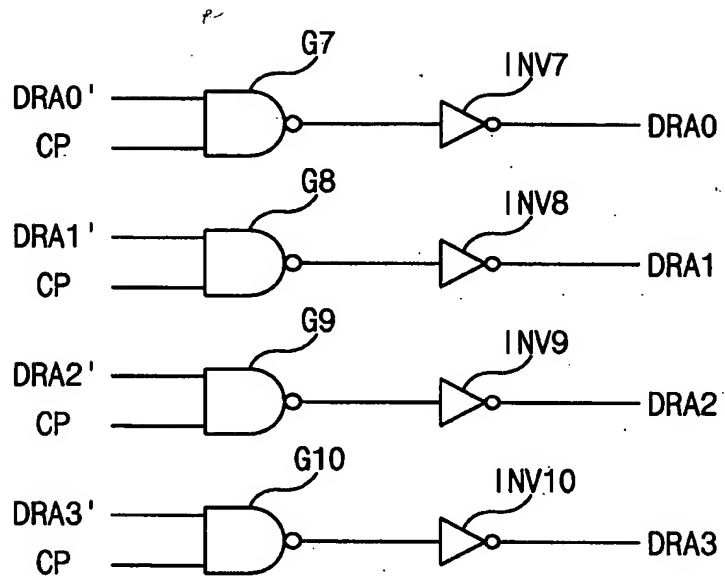
【도 4】

180

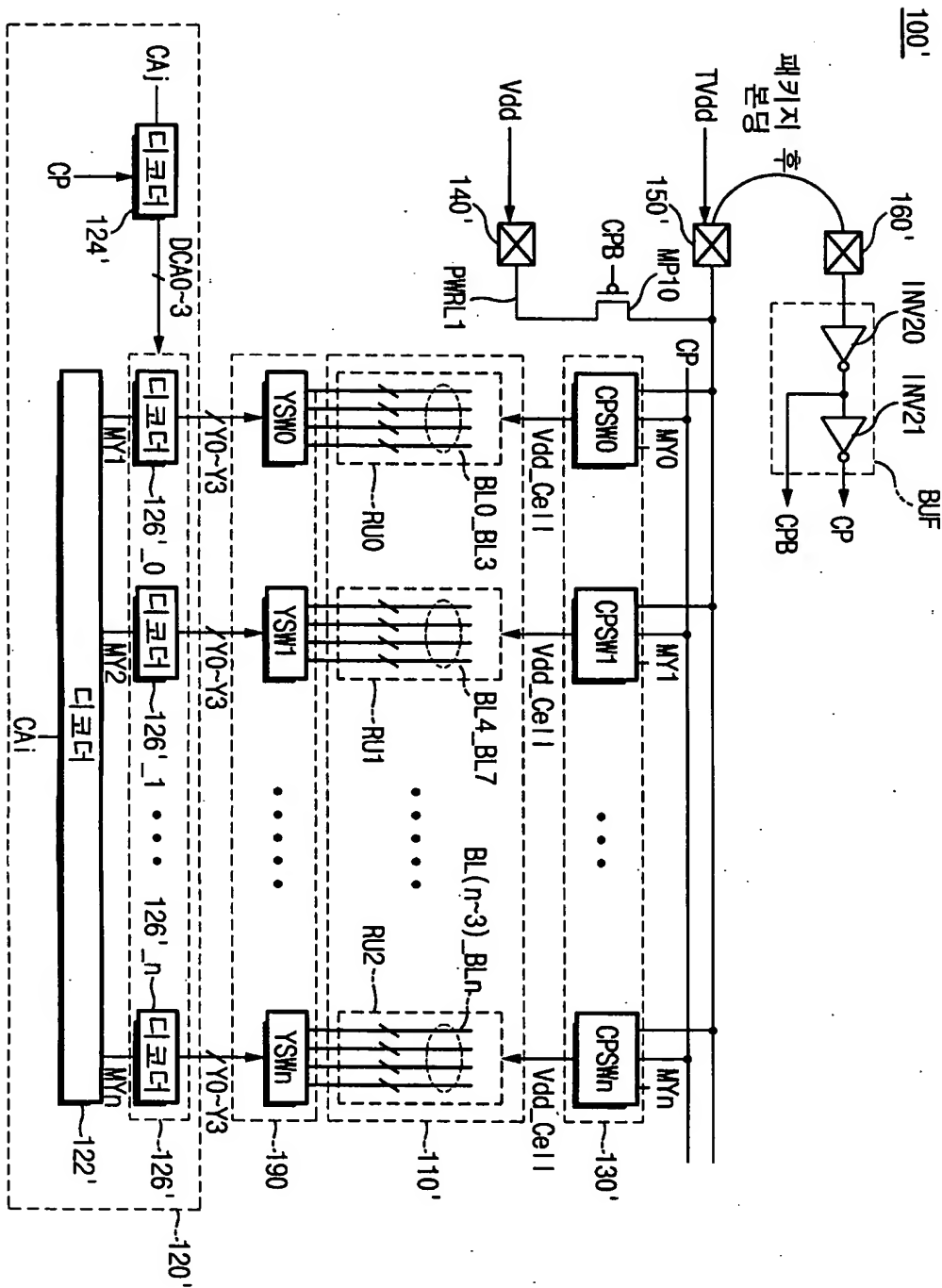
【도 5】

DRVO

【도 6】

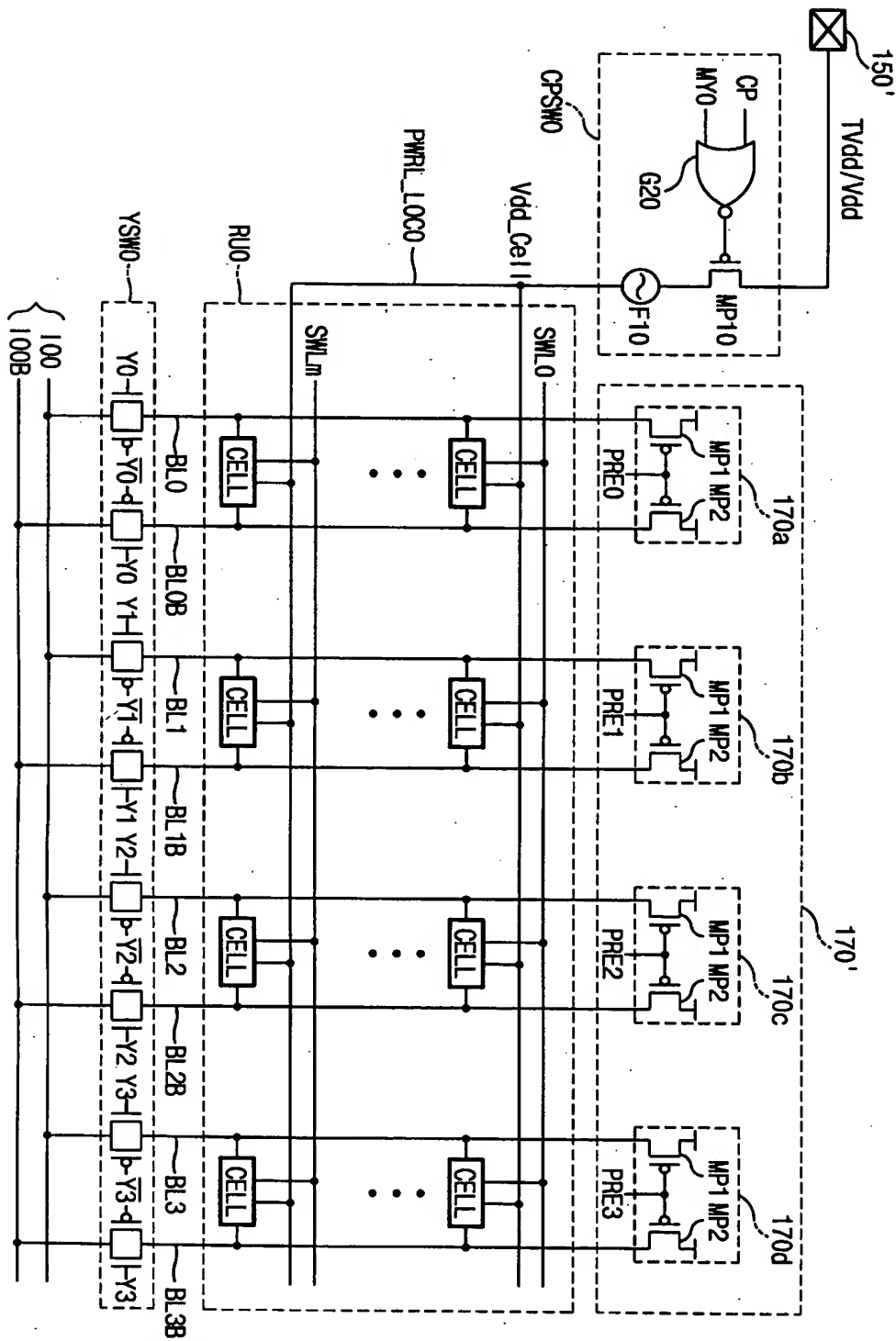
124

【도 7】





【도 8】



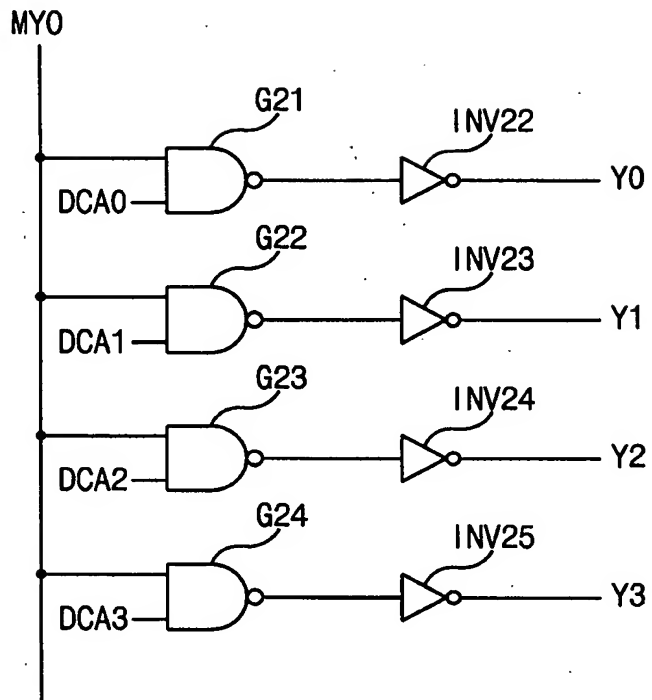


1020030017238

출력 일자: 2003/12/16

【도 9】

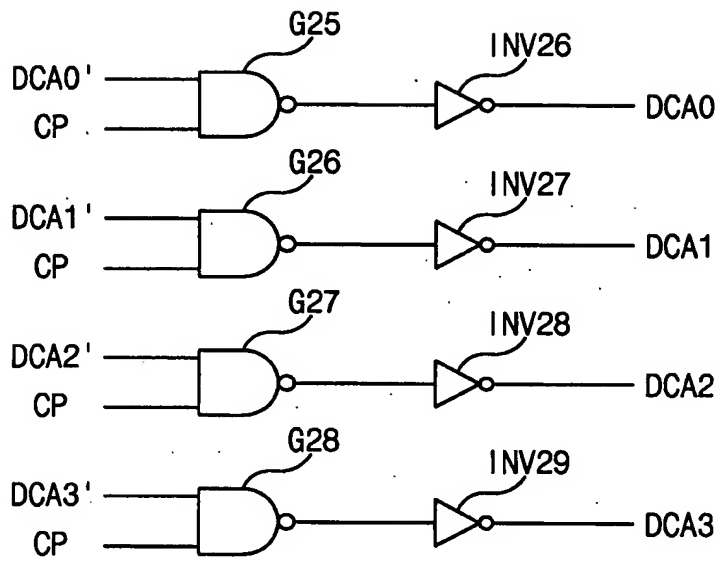
126' 0



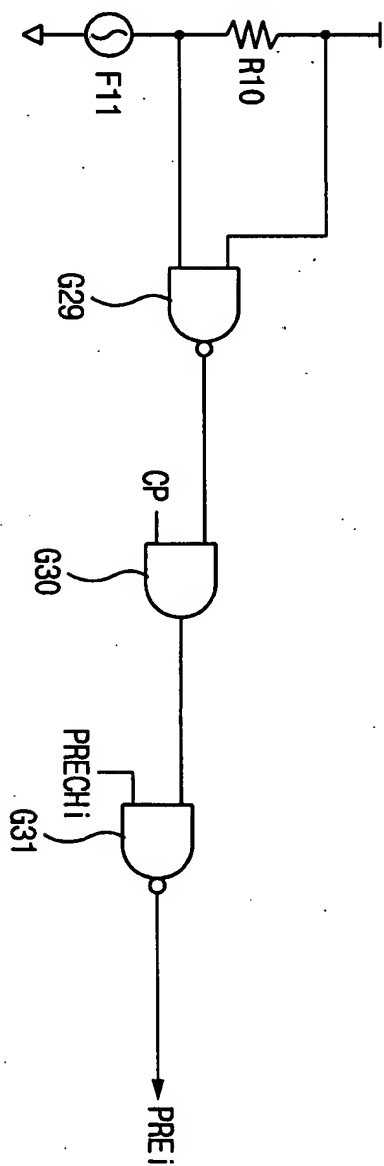


【도 10】

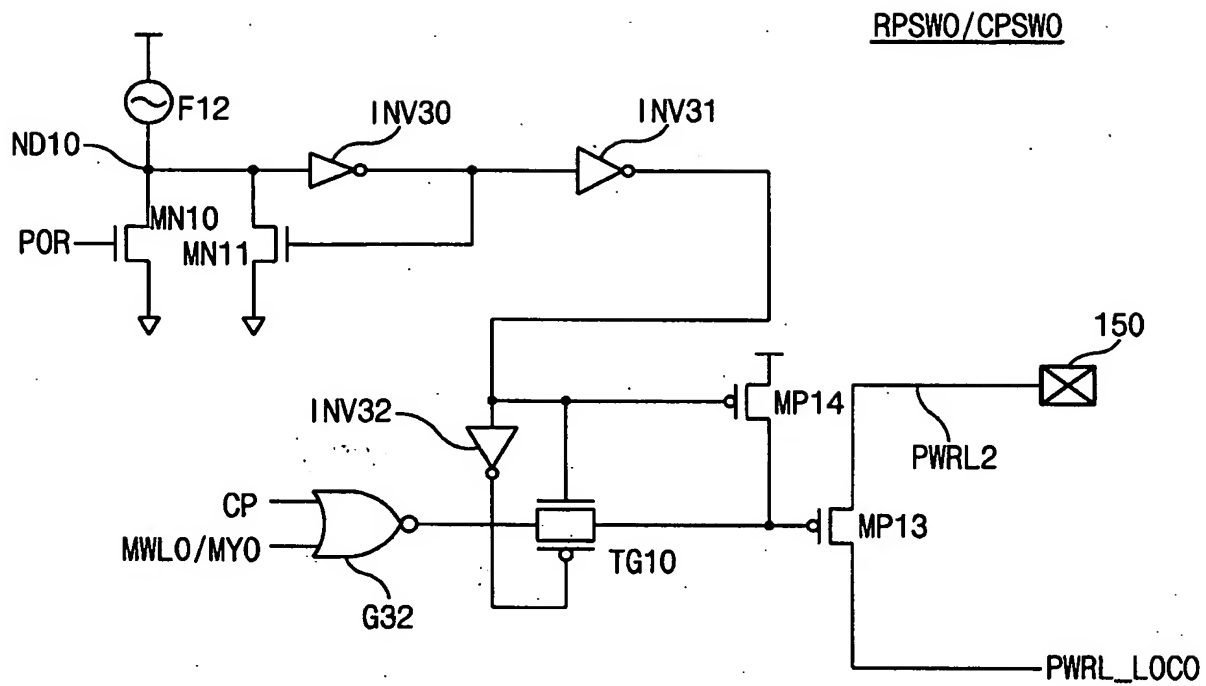
124'



【도 11】

180

【도 12】



【도 13】

200

